

I/O チャンネルバスインターフェイスボードの開発

機械金属部 中嶋 勝也

1. 緒 言

I/O チャンネルは、ユーザー定義として開放されている VME バスのコネクタ P 2 の A・C 列に対して、米国モトローラ社が定義した 4 KB のアドレス空間を持つ I/O 専用のバスである。VME バスの普及に伴い、この I/O チャンネルを採用した入出力用ボードが数多く流通するようになり、I/O チャンネルをドライブするための 8 ビット CPU ボードも販売されている。

このようなことから 8 ビットマイクロプロセッサを含んだ広い分野で I/O チャンネルの利用が進んでいるが、機能・構成および価格等の面からボードを自作する必要性が生ずる場合もある。しかし基板サイズや非同期式のバスコントロールを行っていることによる問題等から設計に手間取ることがある。

ここでは自作を容易にするために、バスドライバ・レシーバ部および 80 系・68 系周辺 LSI 用のタイミング生成部を持った、汎用の I/O チャンネルバスインターフェイスボードを設計・試作したので報告する。

2. 内 容

2.1 I/O チャンネルにおけるバスコントロール

I/O チャンネルの信号およびピン番号を表 1 に示す。バスマスタは、STB*を”L”にすることによってデータ転送の開始をスレーブに知らせスレーブは、XACK*を”L”にすることによってその動作の終了を示す。この 2 つの信号によって、マスタとスレーブが非同期にデータ転送を行っている。また CLK は他の信号とは独立して動作する 4MHz のクロックである。

図 1、2 にそれぞれ読出し及び書込みサイクルのシーケンスを示す。これによると、スレーブのタイミング設計における要点は以下の点である。

表 1 I/O チャンネルの信号及びピン番号

DIN コネクタ ・ピン	3 M コネクタ ・ピン	信 号 名	DIN コネクタ ・ピン	3 M コネクタ ・ピン	信 号 名
C1	1	INT4*	A1	2	GND
C2	3	INT3*	A2	4	
C3	5	INT2*	A3	6	
C4	7	INT1*	A4	8	
C5	9	IORES*	A5	10	
C6	11	XACK*	A6	12	
C7	13	CLK	A7	14	
C8	15	} (予約)	A8	16	
C9	17		A9	18	
C10	19		A10	20	
C11	21	GND	A11	22	A11
C12	23	A9	A12	24	A10
C13	25	A7	A13	26	A8
C14	27	A5	A14	28	A6
C15	29	A3	A15	30	A4
C16	31	A1	A16	32	A2
C17	33	A0	A17	34	GND
C18	35	STB*	A18	36	
C19	37	WT*	A19	38	D7
C20	39	GND	A20	40	
C21	41	D5	A21	42	D6
C22	43	D3	A22	44	D4
C23	45	D1	A23	46	D2
C24	47	D0	A24	48	GND
C25	49	GND	A25	50	
C26		-12 V	A26		-12 V
C27		(予約)	A27		(予約)
C28		+12 V	A28		+12 V
C29		} +5 V	A29		} +5 V
C30			A30		
C31		} GND	A31		} GND
C32			A32		

(注) 信号はすべて TTL レベル

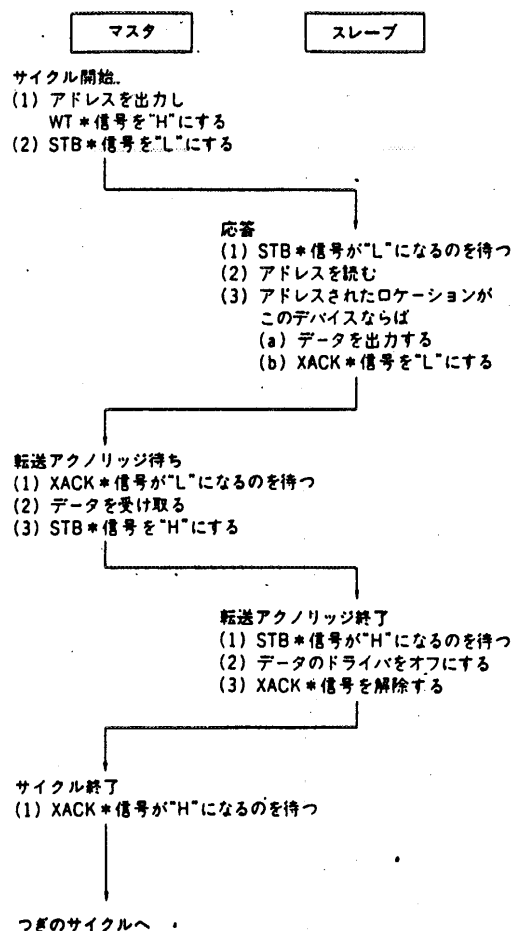


図1 読出しサイクルシーケンス

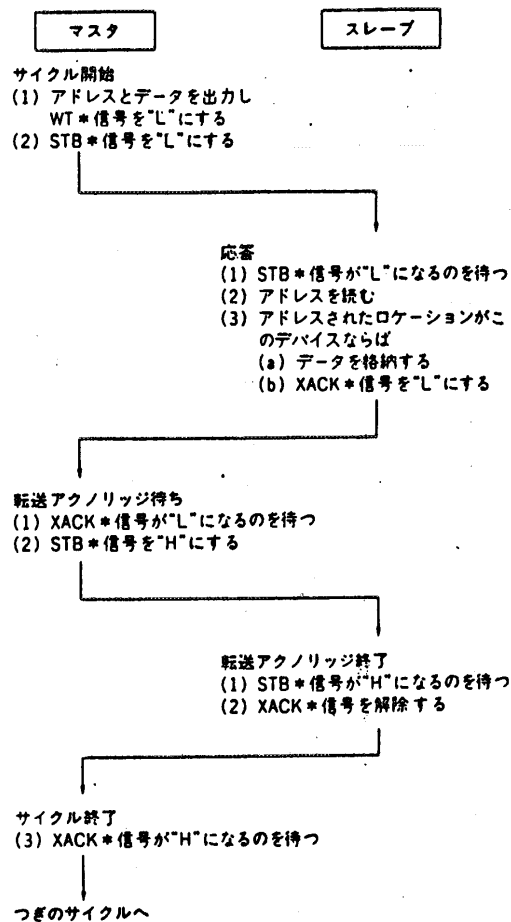


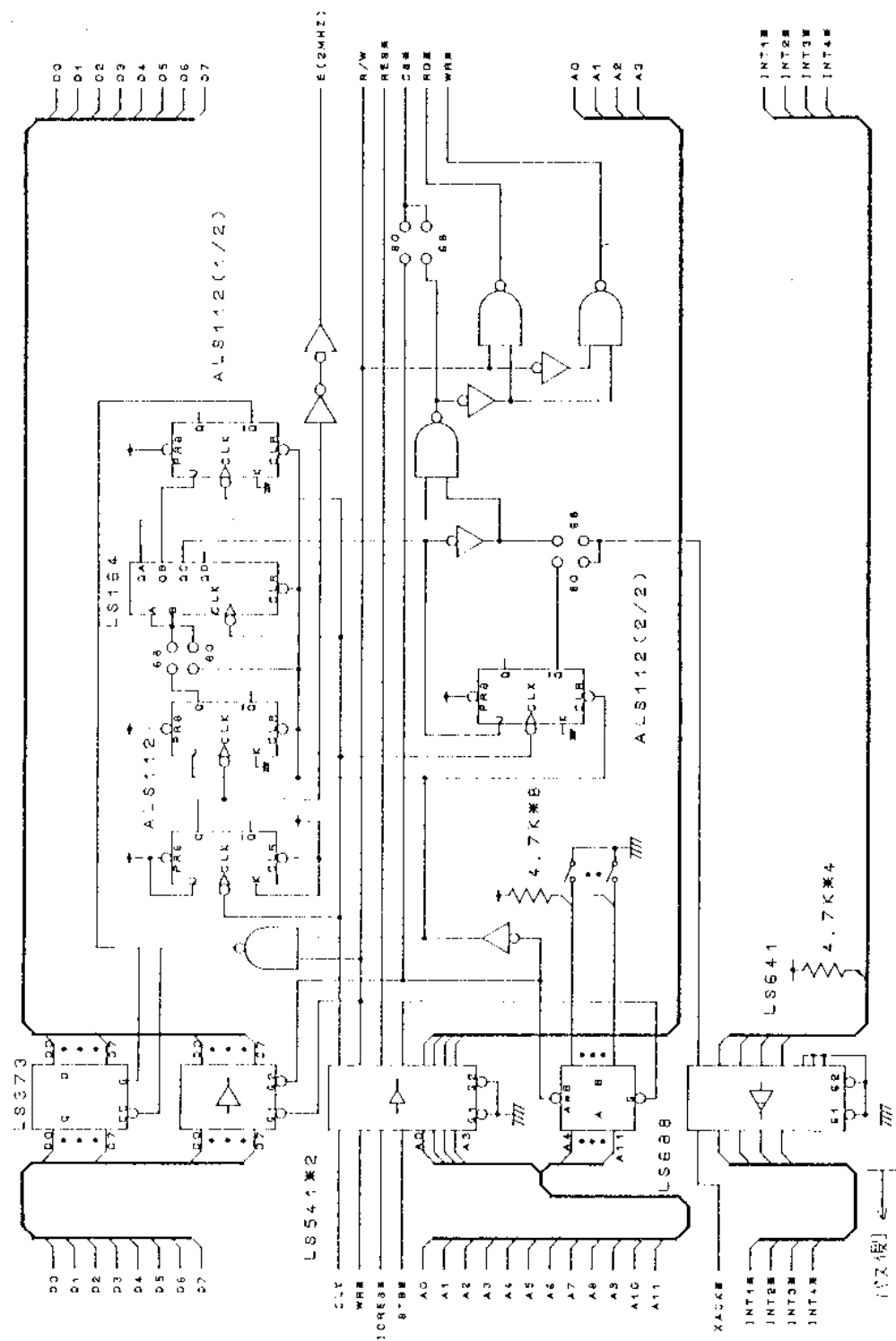
図2 書込みサイクルシーケンス

- (1) STB*が "L"になった時には、既にすべての信号が確定しており、"H"になるまで維持される。
- (2) スレーブは、その動作をすべて終了してから XACK*を "L"にする。
- (3) STB*が "H"になるまでは次のサイクルへは移らない。また読出し時には、データを保持しておかねばならない。

2.2 回路

今回試作したボードの全回路図を、図3に示す。

図中のスイッチは、ボードに対して 16 バイトのアドレス空間を割りつけるための設定用である。また 3 箇所のジャンパ線を 80・68 のいずれかに設定することで、80 系か 68 系いずれかの周辺 LSI に対応する信号を取り出すことができる。ただし 68 系は 2 MHz で動作するタイプでなければならない。

[8] I. O. Gerasimov, N. Reshetkin, and A. V. Stepanov, "On the structure of the Lie algebra of the Virasoro algebra," *Math. USSR Izv.*, vol. 15, no. 1, pp. 111–124, 1981.

3. 結 果

タイミング生成部で作られた 80 系・68 系の信号, および STB*, XACK* のタイミングの概略をそれぞれ図 4, 5 に示す。

今回の試作はユニバーサル基板で行ったが, これをさらにプリント基板化すれば, 自作のためのスペースはシングルハイのユーロカードの半分程度まで確保できると考えられる。また TTL で構成されているタイミング生成部を PLD(Programmable Logic Device) に置き換えれば, さらにスペースを確保できるであろう。

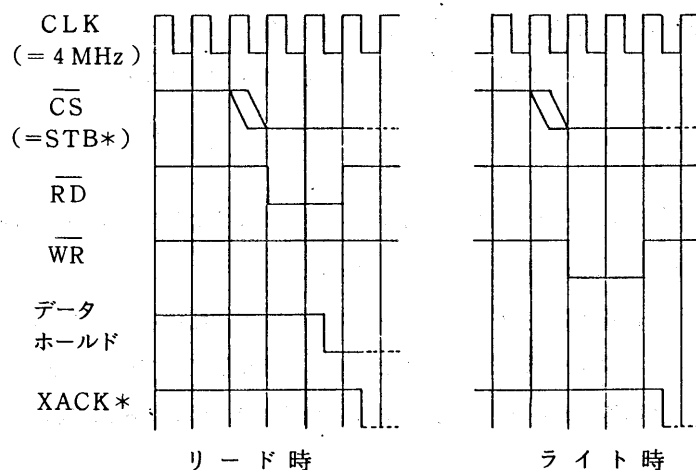


図 4 80系 LSI 用のタイミング

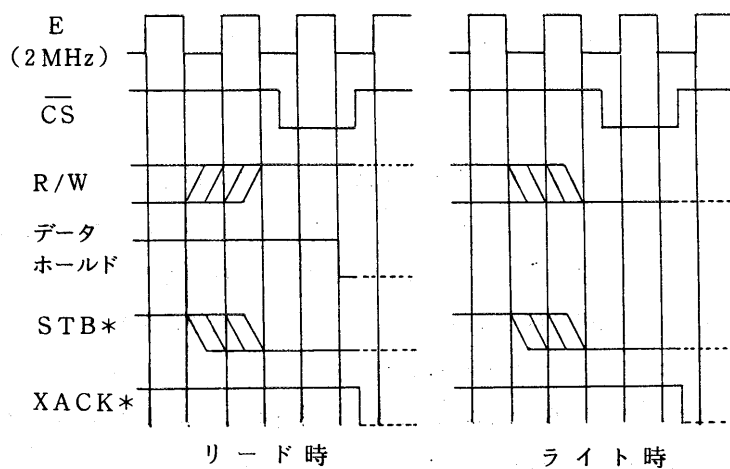


図 5 68系 LSI 用のタイミング

参考文献

- 1) rVMEbus アーキテクチャマニュアル 日本モトローラ
- 2) 「I/O チャンネルと VMX バスの活用」 渡辺 健三 インターフェース 1985. 8